

ICS

Institute for Complex Systems



Univ.-Prof. Dr.-Ing. Daniel Große

jku.at/ics

Email: daniel.grosse@jku.at

RISC-V-Kerne in gängigem Chip-Entwicklerwerkzeug von Synopsys integ

Synopsys, der große Anbieter von Software für Chipdesigner (EDA-Tool) nun auch RISC-V-Kerne mit 32 oder 64 Bit zum SoC-Einbau.

Lesezeit: 2 Min. In Pocket speichern



Synopsys ARC-V: Eingebettete RISC-V-Kerne (Bild: Synopsys)

08.11.2023 11:55 Uhr | c't Magazin

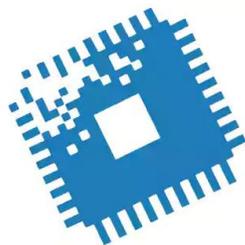
Von Christof Windeck

Sollte die Übernahme von Arm durch Nvidia tatsächlich auf die weltweite Rechnerproduktion haben, könnte das längerfristig - dazu führen, dass sich Hersteller nach Alternativen zu den Arm-Designs umsehen. Einen Kandidaten - bisher gr

OpenAI will für 51 Millionen US-Dollar neuromorphe Chips kaufen

Die Rain-NPU soll RISC-V-Prozessorkerne mit integriertem Resistive RAM (ReRAM oder RRAM) kombinieren...

04.12.2023 | heise online



Bit-Rauschen

Aufwind für die offene Prozessortechnik RISC-V

Der KI-Goldrausch tobt weiter. Größter Profiteur bleibt Nvidia, aber auch die RISC-V-Branche will ein Stück vom Kuchen. Intel feiert die neue Fertigungstechnik Intel 3 und Rapidus will Wafer superschnell bearbeiten.

Von Christof Windeck

RISC-V strebt aufwärts

Sie sind da, obwohl man sie nicht sieht: Prozessorkerne mit der offenen Befehlssatzarchitektur (ISA) RISC-V. Im laufenden Jahr 2024 kommen laut den Marktforschern von Omdia mehr als 1,5 Milliarden Chips beziehungsweise SoCs mit RISC-V-Technik zum Einsatz. Dabei handelt es sich aber meistens um einfach gestrickte 32-Bit-Kernchen für eingebettete Mikrocontroller, etwa in SSD-Controllern von Phison, in WLAN-Chips von Mediatek oder in der ESP32-C-Serie von Espressif fürs Smart Home.

Auf dem RISC-V Europe Summit 2024 in München versammelten sich rund 700 Teilnehmer und es ergab sich ein Gespräch mit dem emeritierten Berkeley-Professor Krste Asanović, einem der Mitgründer von SiFive. Er erwartet erhebliches Wachstum bei 64-Bit-Prozessoren mit RISC-V-Kernen unter anderem für KI, aber auch für Server, Autos und Unterhaltungselektronik. Bei letzterer helfe die bessere Android-Unterstützung, speziell im chinesischen Markt. Die spanische Firma Semidynamics zeigte ihr innovatives Konzept für RISC-V-Kerne mit eingebauten KI-Rechenbeschleunigern. Die integrierten Matrixeinheiten können sofort auf Daten zugreifen, ohne dass diese erst aufwendig mit DMA-Zugriffen zwischen CPU-Kernen und RAM hin- und herkopiert werden müssen.

Chip (SoC)

ery complex

iegen in Weltraum

eck



Die NASA setzt beim High-Performance Spaceflight Computing (HPSC) künftig auf RISC-V. Ein europäischer Nanosat mit RISC-V-CPU umkreist bereits die Erde.

news

CHIPGIGA

Poker

Ein geplant
ganzen We
dessen Tec
dem japani
Arm nun in

8. September

Reviews Best Picks

Intel Offers \$2 Billion for RISC-V Chip Startup SiFive: Bloomberg

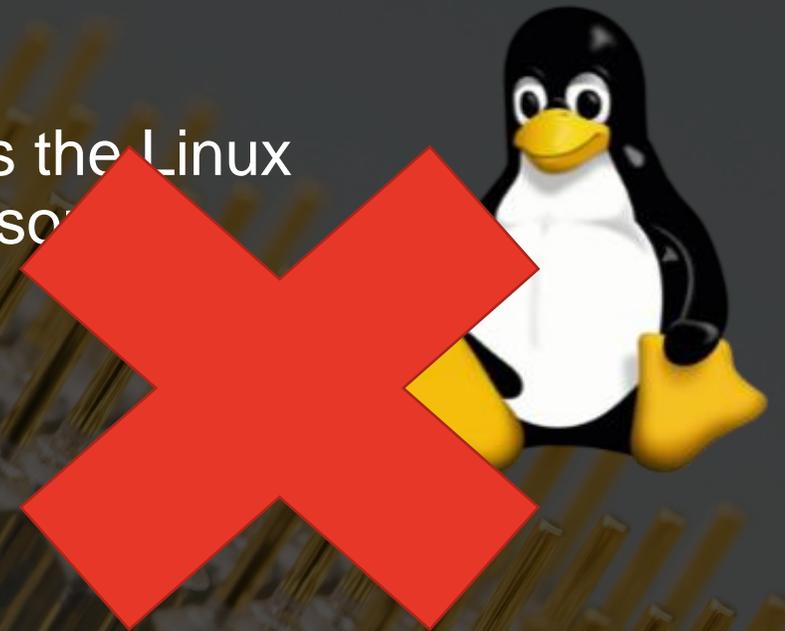
By Paul Alcorn June 10, 2021

US Edition

System-on-Chip (SoC)

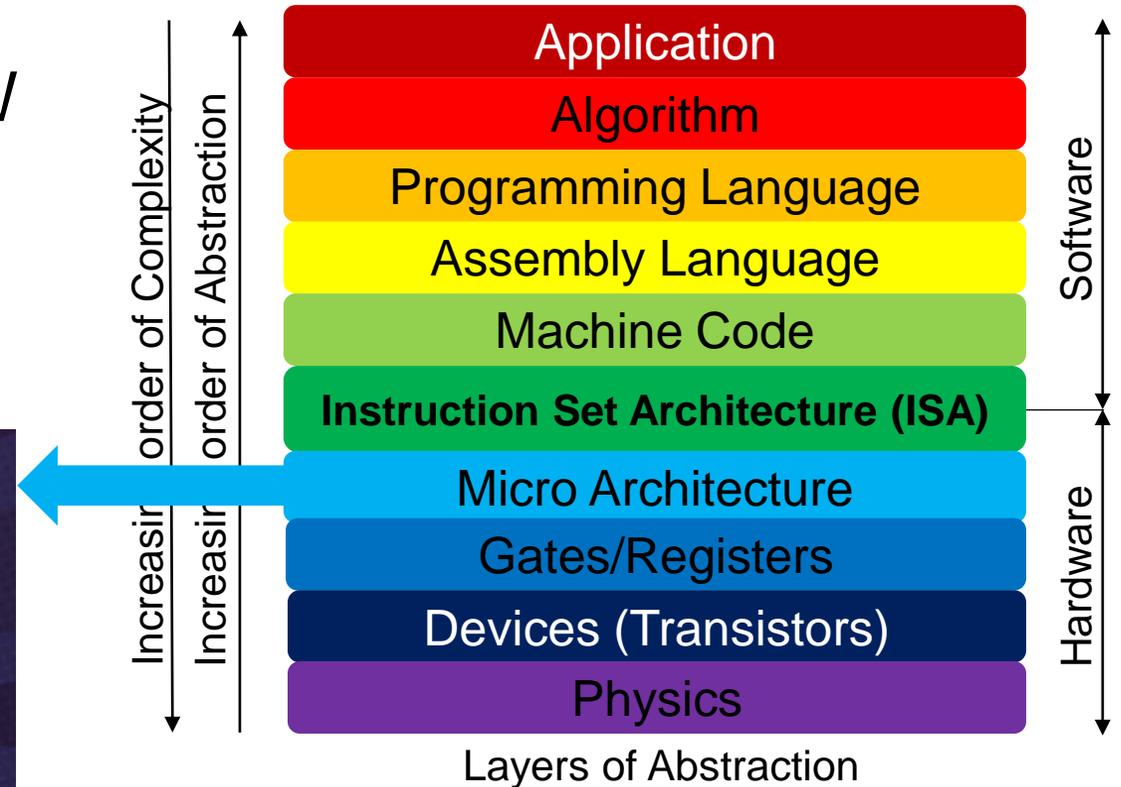
- Omnipresent + very complex
- Heart: **Processor**
 - Very hot: RISC-V

“RISC-V is the Linux
of processors”



Instruction Set Architecture (ISA)

- **Instruction Set Architecture (ISA)**
is the interface between HW and SW
 - Instructions (encoding & semantics)
 - Number and types of registers
 - Memory access, addressing modes



Modular Design



Intel x86, ARM
Incremental instruction set



RISC-V
Composable extensions

Disruptive Technology

Barriers

	Legacy ISA	RISC-V ISA
Complexity	1500+ base instructions Incremental ISA	47 base instructions <u>Modular</u> ISA
Design freedom	\$\$\$ – Limited	Free – Unlimited
License and Royalty fees	\$\$\$	Free
Design ecosystem	Moderate	Growing rapidly. Numerous extensions and cores. More design companies on RISC-V than any other architecture
Software ecosystem	Extensive	Growing rapidly. Easy to compile for RISC-V
Specification	180 hours to read	6 hours to read



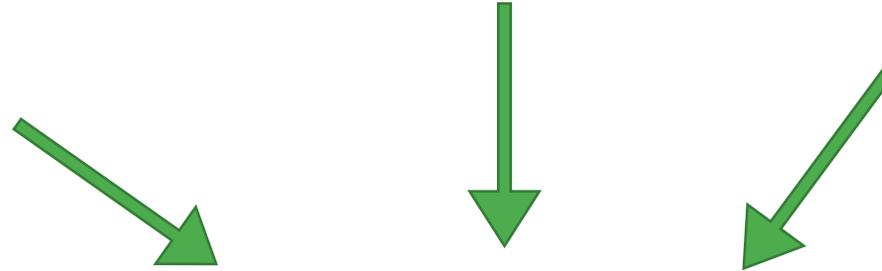
RISC-V is an open standard

Bachelor Thesis

*I want to implement
my own processor!*

*I want to implement
an AI accelerator!*

*I want to work on
SW side or
programming
languages!*



Contact us

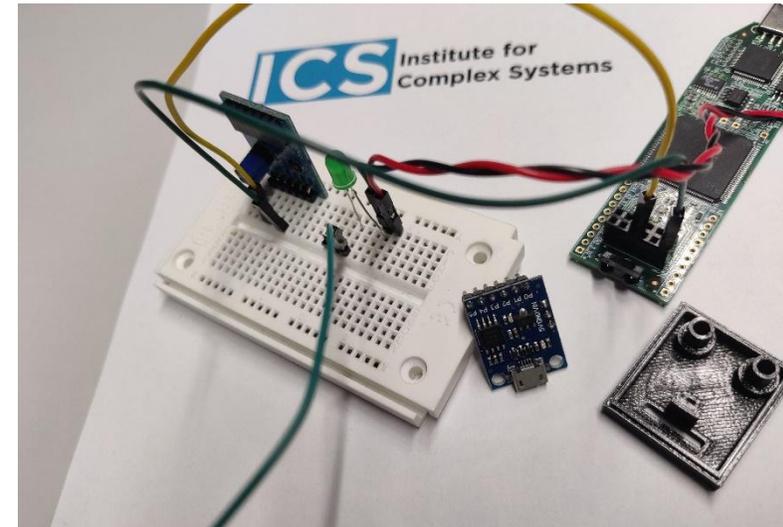
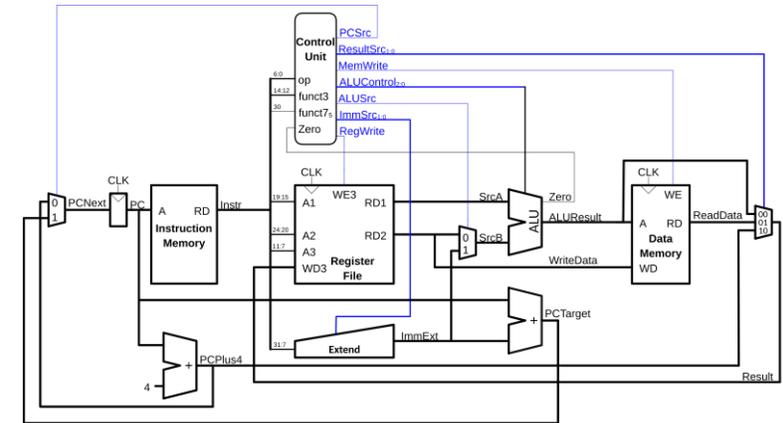
- **Together** we will work out the topic of your thesis
- Depending on **your** interests
- Already have an idea? Great!
- We support you at every stage of your thesis



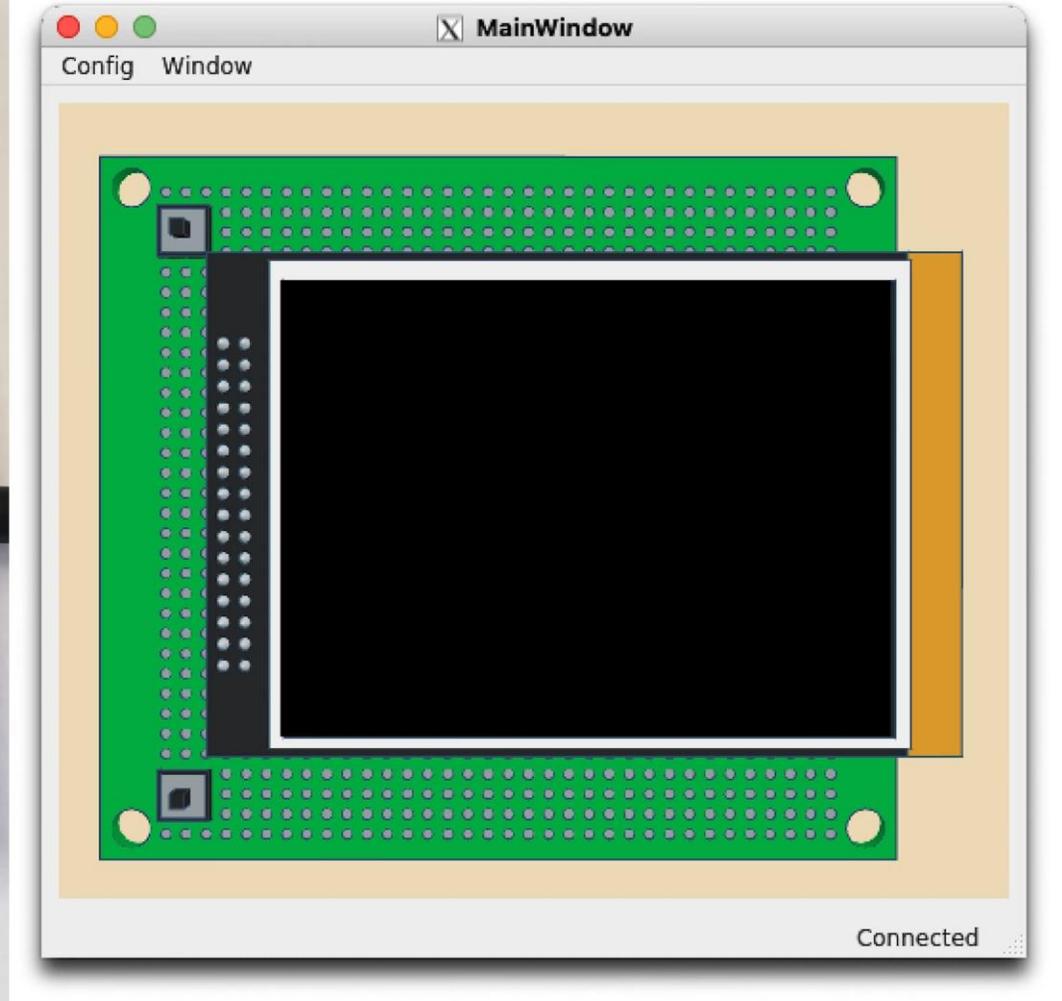
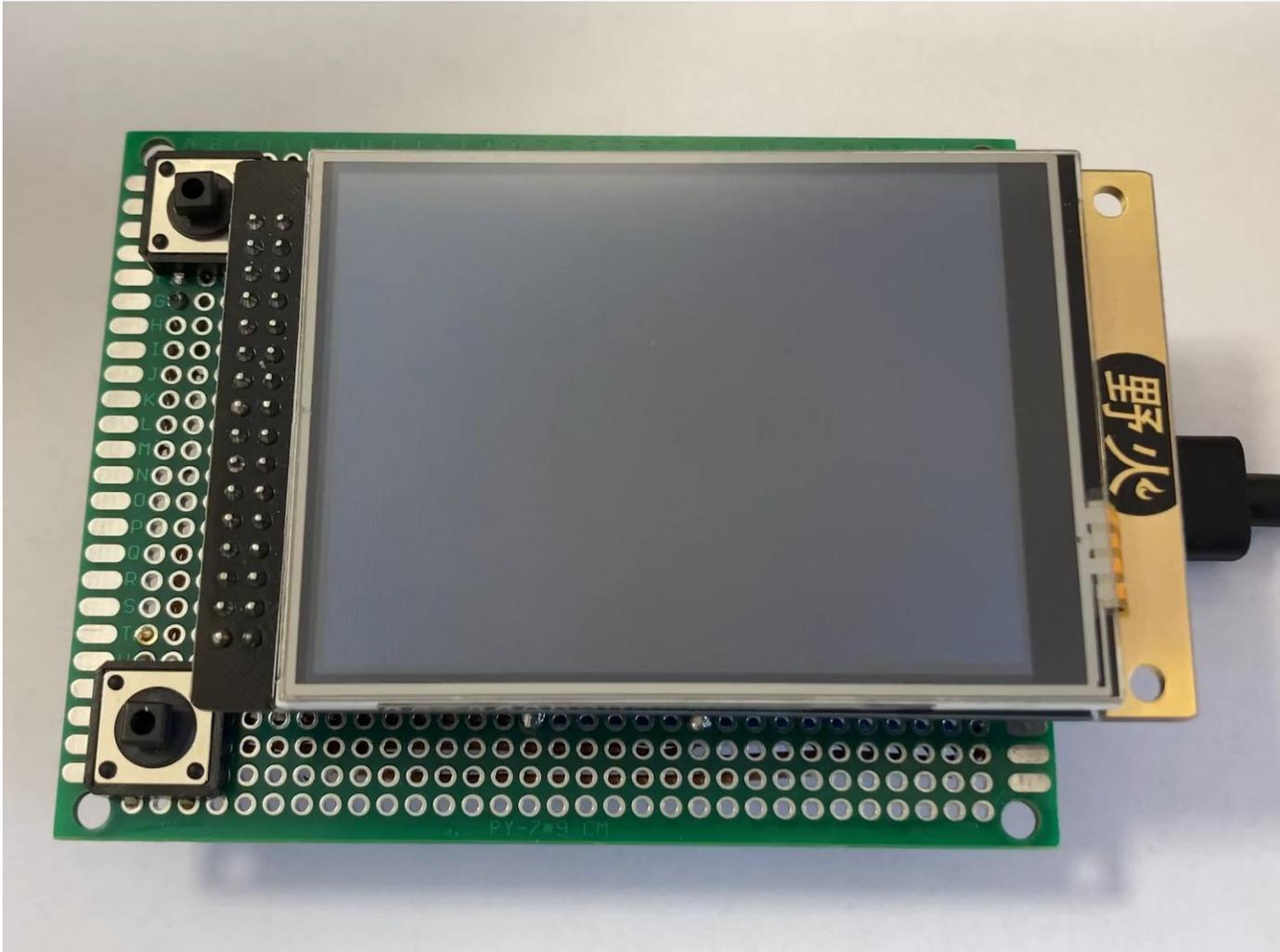
A very cool result
And a new title for your collection

Research Areas at our Institute

- Modelling & Implementation
 - RISC-V virtual prototypes
 - RISC-V cores (VHDL, Verilog)
 - SUBLEQ Processor (processor in 1 instruction)
 - Accelerators (RISC-V Vector extension, NNs, Approximate Computing)
 - ...
- Electronic Design Automation: e.g. verification
 - Property Checking / Equivalence Checking
 - Waveform Analysis Language (WAL)
 - Fuzzing
 - Metamorphic Testing
 - Symbolic execution of SW interacting with HW
 - Symbolic Computer Algebra (SCA) for hard arithmetic (e.g. multipliers) at gate level



Metamorphic Testing and Virtual Prototypes

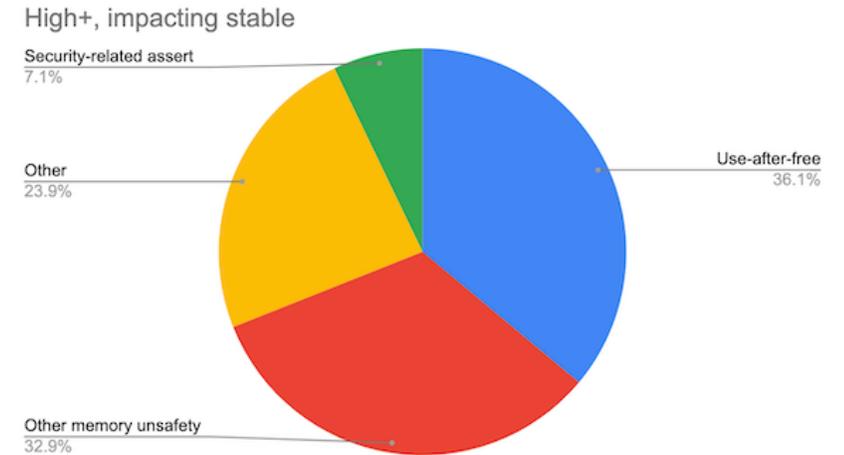


Institute for Complex Systems

HW and Security: CHERI

- We are haunted by memory safety issues
- Enforcing memory safety is a non-trivial problem
- Classical answer:
 - The programmer forgot to check the bounds of the data structure being read
 - Fix the vulnerability in hindsight – one-line fix:

```
if (1+2+payload+16 > s->s3->rrec.length) return 0;
```
- How to do better?
 - Preserve bounds information during compilation
 - Use hardware (CHERI processor) to dynamically check bounds with little overhead and guarantee pointer integrity & provenance
- ICS: CHERI in RISC-V VP ...



BA Beispiele (Auswahl)

- Web: <https://ics.jku.at/teaching/theses/>
- “RISC-V Multi-Cycle Processor Implementation in VHDL” von Oliver Trost (Oktober 2024).
- “Static Polymorphism in Spade using Traits” von Fabian Bleck, Alexander Pichler und Rene Wimmer (August 2024).
- “First SERV: Towards Device Localization using BLE” von Paul Blume (Mai 2024).
- “From Model to Metal – The SUBLEQ microcoded microprocessor Goldcrest on the ICEStick1k” von Felix Roithmayr (Dezember 2023).
- “Enhancing a Virtual Prototype with RISC-V Vectoring Extension: Implementation and Verification” von Moritz Stockinger (September 2023). Bachelorarbeit “Circuit-Based RISC-V Instruction Visualiser” von Sebastian Windsperger (September 2023).
- “RVVRadar - A Framework for Supporting the Programmer in Vectorization for RISC-V” von Manfred Schlägl (Mai 2022).
- “KHDL - A Typesafe HDL in Kotlin” von Gabriel Guldner (Februar 2022).

Contact us!



- Univ.-Prof. Dr. Daniel Große
- Science Park 4, 3rd floor
- daniel.grosse@jku.at
- jku.at/ics

Bachelor- and Masterthesis

<https://ics.jku.at/teaching/theses/>

also: Seminars / Projects

Target: Mastering the constantly growing complexity of hardware/software systems

Topics:

- Virtual Prototypes (VPs) for HW/SW systems (System Level)
- HW designs in Verilog/VHDL at the Register Transfer Level (RTL), down to the gate-level

Primary research areas:

- Verification, debugging, and synthesis
- Problems in Electronic Design Automation (EDA)

We heavily use and contribute to open-source (see e.g. RISC-V VP++, Waveform Analysis Language WAL, Surfer, ...)

ICS

Institute for Complex Systems



Univ.-Prof. Dr.-Ing. Daniel Große

jku.at/ics

Email: daniel.grosse@jku.at